

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2003-536085

(P2003-536085A)

(43) 公表日 平成15年12月2日 (2003. 12. 2)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 1 B 7/28		G 0 1 B 7/28	A 2 F 0 6 3
A 6 1 B 5/117		G 0 1 N 27/02	Z 2 G 0 6 0
G 0 1 N 27/02		27/22	Z 4 C 0 3 8
27/22		G 0 6 T 1/00	4 0 0 G 5 B 0 4 7
G 0 6 T 1/00	4 0 0	A 6 1 B 5/10	3 2 2
		審査請求 未請求	予備審査請求 有 (全 26 頁)

(21) 出願番号 特願2002-503803(P2002-503803)
 (86) (22) 出願日 平成13年6月8日 (2001. 6. 8)
 (85) 翻訳文提出日 平成14年12月6日 (2002. 12. 6)
 (86) 国際出願番号 P C T / N O 0 1 / 0 0 2 3 8
 (87) 国際公開番号 W O 0 1 / 0 9 9 0 3 5
 (87) 国際公開日 平成13年12月27日 (2001. 12. 27)
 (31) 優先権主張番号 2 0 0 0 3 0 0 4
 (32) 優先日 平成12年6月9日 (2000. 6. 9)
 (33) 優先権主張国 ノールウェー (NO)

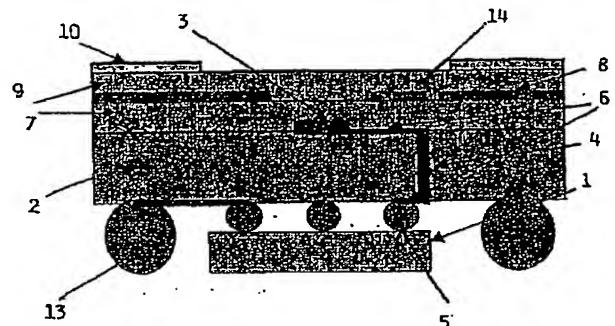
(71) 出願人 アイデックス・エーエスエー
 ノルウェー・1385・アスカー・ポストボックス・519
 (72) 発明者 スヴェイン・マティアセン
 ノルウェー・1389・ヘーゲダル・ホーマン
 スピヴェイエン・4
 (72) 発明者 オヴィディウ・ヴェルメサン
 ノルウェー・1369・スタベック・テラッセ
 ヴェイエン・1 A
 (72) 発明者 ジョン・ニセター
 ノルウェー・0475・オスロー・エドム・ニ
 ユーパーツ・ゲイト・2
 (74) 代理人 弁理士 志賀 正武 (外7名)

最終頁に続く

(54) 【発明の名称】 特に指紋センサのためのセンサチップ

(57) 【要約】

本発明は、センサチップに関するものであり、特に指表面内の構造を測定するためのセンサチップに関するものであって、キャパシタンス測定のための複数の測定電極が設けられている公知タイプの電気チップを具備し、この電気チップが、電気絶縁された基板内に配置され、この基板には、この基板を貫通する複数の開口が設けられ、これら開口を通して、測定電極に対して接続された電気導体が、延在しており、これら電気導体の端部が、キャパシタンス測定のためのセンサアレイを形成し、このセンサアレイが、基板の第1面上に配置され、電気チップが、基板の他の面内に配置されている。



【特許請求の範囲】

【請求項1】 特に指表面内の構造を測定するためのセンサチップといったようなセンサチップであって、

キャパシタンス測定のための複数の測定電極が設けられている公知タイプの電気チップを具備し、

この電気チップが、電気絶縁された基板内に配置され、

この基板には、この基板を貫通する複数の開口が設けられ、

これら開口を通して、前記測定電極に対して接続された電気導体が、延在しており、

これら電気導体の端部が、キャパシタンス測定のためのセンサアレイを形成し、

このセンサアレイが、前記基板の第1面上に配置され、

前記電気チップが、前記基板の他の面内に配置されていることを特徴とするセンサチップ。

【請求項2】 請求項1記載のセンサチップにおいて、

前記各開口の位置が、前記センサアレイの形状によって決定され、

前記センサアレイの形状は、前記電気導体端部の位置も規定し、

前記チップが、さらに、

－1つの電気伝導性の接地された層であって、前記複数の電気導体端部の上方にそれぞれ開口を有した電気伝導層と、

－この電気伝導層と前記複数の導体端部とを被覆する1つの誘電体層と、
を備えていることを特徴とするセンサチップ。

【請求項3】 請求項1記載のセンサチップにおいて、

前記基板のうちの、前記センサ側の前記第1面に、

－端部ポイントを有した電気導体を少なくとも備えている第1電気伝導層と、

－この第1電気伝導層を被覆する1つの第1誘電体層と、

－前記電気導体の端部の上方に開口を有しているとともに前記第1誘電体層によって前記第1電気伝導層から部分的に電気絶縁された、第2電気伝導性接地層と、

ーこの第2電気伝導層と前記導体端部とを被覆する第2誘電体層と、
が設けられていることを特徴とするセンサチップ。

【請求項4】 請求項2または3記載のセンサチップにおいて、
前記1つまたは複数の誘電体層の厚さが、前記電気導体の端部の中心どうしの
間隔を超えない厚さとされていることを特徴とするセンサチップ。

【請求項5】 請求項2または3記載のセンサチップにおいて、
最外層をなす誘電体層に、外側電気伝導層が設けられ、
この外側電気伝導層が、前記電気導体端部の上方に開口を有しているとともに
、指との間においてコンタクトを形成し得るように構成され、さらに、電気変調
器に対して接続されていることを特徴とするセンサチップ。

【請求項6】 請求項5記載のセンサチップにおいて、
前記外側電気伝導層には、指に対しての純粋な容量性結合のための外側誘電体
層が設けられていることを特徴とするセンサチップ。

【請求項7】 請求項5記載のセンサチップにおいて、
前記電気変調器が、前記電気チップの一部として構成されるとともに、前記基
板の少なくとも1つの前記開口を通して前記電気チップに対して接続されている
ことを特徴とするセンサチップ。

【請求項8】 請求項5記載のセンサチップにおいて、
前記外側電気伝導層が、電気伝導性対象物に対して近接したときにはインピー
ダンス（例えば、キャパシタンス）が変化するような構造を有し、
この構造に関連した適切な回路が、測定対象をなす表面（例えば、指）が前記
センサに対して近接したときに、前記センサを活性化し得るものとされているこ
とを特徴とするセンサチップ。

【請求項9】 請求項1，2，または，3記載のセンサチップにおいて、
前記基板が、セラミック材料、ガラス材料、または、ガラスファイバラミネー
トから形成されていることを特徴とするセンサチップ。

【請求項10】 請求項1，2，または，3記載のセンサチップにおいて、
前記基板が、シリコンから形成されていることを特徴とするセンサチップ。

【請求項11】 請求項10記載のセンサチップにおいて、

前記基板内に、増幅器と他の電子回路とが形成されていることを特徴とするセンサチップ。

【請求項12】 請求項1記載のセンサチップにおいて、

前記センサアレイが、実質的に直線状とされるとともに、前記センサアレイと指表面との間の相対移動を測定し得るように構成されていることを特徴とするセンサチップ。

【請求項13】 請求項2または3記載のセンサチップにおいて、

前記複数の電気伝導層の中の1つが、前記センサアレイ中の各センサ部材を容量的に励起し得る電極を備え、

これにより、各センサ部材からの応答を、センサ表面に近接した指や他の電気伝導性対象物の存在とは無関係に校正できるようになっていることを特徴とするセンサチップ。

【請求項14】 請求項1記載のセンサチップにおいて、

前記導体端部が、指に対して直接的にコンタクトするものとされ、

測定キャパシタンスが、前記導体端部と前記電気チップ内の前記測定電極との間に接続されるようになっていることを特徴とするセンサチップ。

【請求項15】 請求項1記載のセンサチップにおいて、

前記センサアレイのキャパシタンスが、信号強度を調整可能とし得るよう、電氣的に調整可能とされていることを特徴とするセンサチップ。

【請求項16】 請求項1記載のセンサチップにおいて、

前記電気チップの表面が、指に対しての最適結合を確保し得るよう、U字形状とされていることを特徴とするセンサチップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に指の表面内の構造を測定するためのものといったような、表面内の構造を測定するための小型化センサチップに関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】

マトリクス状センサ部材と指の表面との間のAC信号の容量性結合をベースとした指紋センサは、例えば国際特許出願No. PCT/NO98/00182により周知である。米国特許明細書第5,963,679号および米国特許明細書第6,069,970号は、異なる測定原理をベースとするとともに2次元センサマトリクスを有した同様のセンサを開示している。

【0003】

しかしながら、例えば携帯電話やラップトップ型PCに取り付けるといったような特別の応用のためには、これらセンサをできる限り小さくすることが重要である。そのような小型化センサは、また、大量生産に適した製造プロセスを使用して製造された場合には、コスト的に有利なものとなる。

【0004】

シリコン内への集積回路の形成は、小型化と安価な製造コストとを組み合わせ得る方法である。米国特許明細書第5,963,679号、米国特許明細書第6,069,970号、さらには、Shigematsu氏他による“A 15×15 mm² Single-Chip Fingerprint Sensor and identifier using Pixel-Parallel Processing”, 1999 IEEE International Solid State Circuits Conference, TA 7.5, (1999)、および、Inglis氏他による“A robust, 1.8 V 250 μW Direct-Contact 500 dpi Fingerprint Sensor”, 1998 IEEE International Solid State Circuits Conference, SA 17.7, (1998) には、そのような容量性指紋センサが開示されており、主題は、容量性センサ部材と、シリコン内のあるいは他の半導体材料内の単一回路において信号処理を行うための増幅器および電子回路と、を一体化することである。高度な小型化に加えて、この概念は、増幅器エレクトロニクスが、

センサマトリクス内における容量性センサ部材の近傍に配置することができる場合には、信号品質に関する利点をもたらす。これにより、ノイズに対する感度および寄生容量結合を、最小限にまで低減することができる。

【0005】

しかしながら、そのような『一体型』センサに関する欠点は、そのような半導体回路が、周囲に対しての直接的コンタクトの形成に不適切なことであり、また、通常は、湿度や摩耗や腐食や化学物質や電子的ノイズや機械的影響や太陽光電気放電等から回路を保護するためのハウジングを設けなければならないことである。米国特許明細書第5, 862, 248号は、この問題点に対しての可能な解決手段をもたらす。この文献においては、回路が、容器の上面内に形成された開口を通してセンサの検出面に対して指を直接的にコンタクトさせ得るようにして、容器内に収容される。

【0006】

多くの場合、この手段は、要求された信頼性をもたらすには不十分なものである。集積回路の表面上において使用されている材料（金属、誘電体）は、通常は、外部環境に対する露出に関しては十分な信頼性を有しておらず、また、長期にわたっての指とのコンタクトに関しては十分な信頼性を有していない。よって、この手段も、また、信頼性という問題点を引き起こす。この問題点は、米国特許明細書第6, 069, 970号に開示されているように、チップ面上に金属および誘電体からなる付加的な層を追加することによって、低減することができる。しかしながら、そのような層は、製造コストを増大させるとともに、（加工温度や、温度変化に基づく寸法変動、等に関連して）一般的な半導体製造プロセスに対しての互換性という問題点を引き起こす。

【0007】

米国特許明細書第5, 862, 248号に開示されているハウジングに関連する他の問題点は、回路がなす面に連通している開口が、センサの検出面と全体的なハウジング面との間において段差をもたらすことであり、このことは、使用時に不便である。同時に、この文献において開示されている方法においては、センサ回路の取付および結合のために、非標準的で高価なパッキングプロセスを必要

としてしまう。

【0008】

米国特許明細書第5, 963, 679号、米国特許明細書第6, 069, 970号、さらには、上記文献のすべては、2次元マトリクスという原理をベースとしている。欠点は、指紋全体の像をもたらすためには 12×12 mmという範囲にわたるサイズを有したシリコン領域が必要であることにより、多くの応用において複数のセンサが高価なものになってしまうことである。集積回路の製造価格は、シリコン領域にほぼ比例する。そのため、シリコン領域の低減が、コスト低減をもたらす。

【0009】

そのようなシリコン領域に関連した問題点は、ある程度までは、いわゆる『ラインセンサ』によって、すなわち、複数のセンサ部材がなす1つまたは複数のライン（『1次元マトリクス』）から構成されたスキャナによって（国際特許出願No. PCT/NO98/00182）、回避することができる。考慮すべきことは、そのようなセンサが、センサ上を移動する指に関する像をもたらすことである。選択された時間間隔でもって複数のセンサ部材からの信号をサンプリングするとともに指の移動速度を測定することにより、指紋構造を決定することができる。よって、集積回路は、指紋の幅にわたって存在しているだけでよく、2次元マトリクスをベースとした対応センサと比較した場合、ずっと狭いものとすることができるとともに面積をかなり小さくすることができる。しかしながら、実際に製造してみると、そのような長くかつ狭いシリコン回路が、取扱いの困難なものであってそのため製造時の破損割合が大きいことがわかった。しかも、それと同時に、例えば指の表面からの力といったような外部影響を受けたときに、脆弱なものであることがわかった。

【0010】

【課題を解決するための手段】

本発明の目的は、外部環境に対してセンサを露出させるという技術的リスクを排除し得るような、コスト的に有利な小型化センサ構成を確保することである。これは、特別なパッキング技術や非標準的なパッキング技術を一切使用すること

なく実現することができる。このため、測定対象をなす指紋と同じ幅の一体型集積回路を使用する必要がなくなり、集積回路は、指の幅と同じ長さを有する必要がない。この目的は、独立請求項1において規定したようなセンサチップを使用することによって、達成される。

【0011】

よって、本発明は、使用者の指に対してのインターフェースをなすとともに指からの信号を解析するための増幅器と信号処理エレクトロニクスとが配置されている基板の反対面上に半導体回路が一体化されている。原理は、基板の上面上に像形成用センサ部材を配置し、これらセンサ部材を、いわゆるバイアスを介して、基板の背面上の測定用エレクトロニクスに対して接続することをベースとしている。測定用エレクトロニクスは、好ましくは、『露出された』（パッキングされていない）集積シリコン回路（ASIC）とされ、この回路は、周知技術を使用して、基板の背面上に取り付けられる。

【0012】

顧客仕様のバイアスを有したセラミック基板は、穴付きのまたは金属充填済み穴付きのセラミックプレートとしてもまたいわゆるLTCC（Low Temperature Cofired Ceramic, 低温同時焼成セラミック）構造としても、市販されている。そのようなセラミック基板に関する単位面積あたりの価格は、現在、シリコン回路の製造コストよりも、かなり低い。よって、そのようなハイブリッド構成は、従来のパッキングタイプのプラスチックやセラミックと組み合わせられた一体型センサよりも安価な製造価格でもって、非常にコンパクトなセンサをもたらす。

【0013】

基板の前面または背面上において、センサ部材の位置から測定用入力コンタクトまでにわたって導体を延在させることにより、測定回路の領域を、センサ形状とは無関係なものとすることができる。よって、測定回路を、任意の形状およびサイズとすることができる。このことは、製造コストを著しく低減させる。そのようなコスト的有利さに加えて、基板と半導体回路とを組み合わせることは、基板が上記影響の大部分に対しての保護をもたらすことにより、外部影響に関連した技術的不確定要素の大部分を排除できるという利点がある。また、半導体回路

が指と直接的にコンタクトしないことにより、摩耗や信頼性や湿度吸収等といったような問題点に無関係に、フレキシブルに材料を選択することができる。

【0014】

本発明の構成であると、さらに、基板の前面上の金属電極および同様の構造に対して、例えば（指内にAC電圧を結合するための）変調電極と指の存在を検出するための活性化セルといったような、機能性を付与することができ信号品質を確実に向上させることができる。そのような金属電極は、例えば指からのといったような電気放電に関連した電流を逃がし得るという重要な機能も有している。

【0015】

しかしながら、本発明は、セラミック基板の使用に限定されるものではない。ガラス材料やプラスチック材料や回路基板やシリコンといったようなものからなる基板をベースとして、同じ構造を実現することもできる。

【0016】

シリコン基板を使用した場合には、例えばトランジスタやダイオードや抵抗といったような単純で能動的な素子を使用して、基板の前面側にでもまた背面側にでも前置増幅器や他の素子を直接的に形成することを、想定することができる。後者の場合、例えばCMOSやBiCMOSといったような集積回路を製造するために使用される典型的なプロセスよりも単位面積あたりについて実質的により安価であるようなシリコンプロセスを使用することができて、有利である。『能動的』シリコン基板を有したそのような構成は、センサが集積回路をベースとしている上記いくつかの特許文献と共通の特徴点を有している。しかしながら、本発明による概念は、上記特許文献と比較して、シリコン基板を貫通するバイアスを使用することによって、導体端部からの信号を、基板の背面上の信号処理回路へと導く点において、明確に相違している。

【0017】

【発明の実施の形態】

以下、本発明を例示している添付図面を参照して、本発明について、より詳細に説明する。

【0018】

図1および図2から明らかなように、本発明によるセンサチップは、好ましくは、露出された（パッキングされていない）シリコンチップ（1）と、このシリコンチップと一体化されるとともに使用者の指に対してのインターフェースを構成するセラミック基板（2）と、から構成されている。原理は、複数の像形成用センサ部材（3）を、基板の前面上に配置し、これらセンサ部材を、いわゆるバイアス（4）を介して、基板の背面上の測定用エレクトロニクスに対して接続することをベースとしている。上述したように、基板（2）は、好ましくは、セラミック材料から形成される。しかしながら、他の構成を採用することもでき、例えばガラスベースの材料やプラスチックベースの材料（例えば、回路基板／ガラスファイバラミネート）とシリコンとを使用することもできる。

【0019】

この例における組合せ構成（基板（2）および露出チップ（1））は、基板の背面にシリコンチップを取り付けさらに周知技術を使用することによってここでは導体リードとされた導体に対してシリコンチップを接続することによって、工業的に一体化することができる。いわゆるフリップチップ技術を使用することによって、例えばいわゆる半田バンプ（5）を利用したフリップチップ技術を使用することによって、非常にコンパクトな構成が得られる。他の構成においては、チップと基板とを接着し、いわゆるワイヤボンディングによって基板に対しての接続を得ることができる。また、電気コンタクトを得るために、シリコン回路を、適切な態様で基板に向けてラミネートする方法を想定することもできる。シリコン基板の場合には、また、多くの必要な素子が基板の背面内に直接的に組み込まれていることにより、別体とされた電子回路を不要とすることができる。

【0020】

センサチップの入力インターフェースまたは出力インターフェースの電氣的コンタクトのために、また、下方に位置した素子キャリア上に素子を取り付けるために、基板の底面には、いわゆるBGA（ボールグリッドアレイ）ボール（13）を設けることができる。これは、標準技術である。

【0021】

キャパシタンスをベースとした測定原理に際して必要な機能性を付与するため

に、基板には、例えば図1に示されているように、複数の層が設けられる。図1は、可能な1つの構成を示すものであって、複数の層に関しての他の組合せを排除するものではない。

【0022】

図1および図2に示されているような、基板上に設けられた各層は、基板構成の例を示すものであり、以下において説明する。セラミック基板上におけるあるいは他のタイプの基板上における薄膜や厚膜からなる層構成は、周知の技術であるものの、個々の層の機能性や各層の組合せは、特に、国際特許出願No. PCT/NO98/00182に記載されているような図3に示すように本質的に直線状とされたセンサアレイ(11)とされたセンサの変形例としての指紋センサに関連しているという点において、本発明に帰属するものである。図3には、さらに、とりわけ上記文献に記載されているようにセンサに対して相対移動する指に関しての速度測定を行うために使用し得るような、二次的センサグループ(12)が示されている。ライン形状センサは、同様の構成の2次元センサと比較して、必要とする空間が極めて小さくかつただ1つのチャンネルしか必要としないという点において、さらに、そのために低コストで製造できるという点において、極めて有利である。

【0023】

図1においては、第1金属層(6)が、複数の像形成用センサ部材(3)と、複数の導体リード(6)と、を構成する。導体リード(6)は、センサ部材を起点として、基板(2)を貫通しているバイアス穴(4)を経由して、フリップチップ取付されたASIC(1)上の底面配置『半田バンプ』(5)にまで、延在している。上述したように、複数のセンサ部材は、ノルウェー国特許第304,766号(国際特許出願No. PCT/NO98/00182に対応)において特許となった構成の変形例として図3に示されたようにして、配置することができる。図1における第1誘電体層(7)は、第1金属層内の導体リードと、第2電気伝導層(8)がなす接地面と、の間の絶縁層として機能する。第1誘電体層(7)は、基板表面全体をカバーする。第1誘電体層(7)は、また、指とセンサ部材との間における合計誘電体厚さ(絶縁)の一部を構成する。幾何学的解像

度を維持するために、第1誘電体層(7)は、複数のセンサ配置場所の直接的上方領域においては、厚いものであってはならない。そのような領域においては、誘電体厚さは、好ましくは、センサ配置場所の中心どうしの間隔以下の厚さとされる。同時に、第1誘電体層(7)は、センサ表面からセンサ部材への(静電放電に基づく)電子伝導を阻止し得るよう、(次なる誘電体層と、他のESD(静電放電)保護エレクトロニクスと、の合計という点において)十分に厚いものでなければならない。

【0024】

第1誘電体層(7)の厚さと導体リードの形状とに応じて、導体リードと接地面との間には、寄生キャパシタンスが生成され、この寄生キャパシタンスは、測定信号全体を減少させることとなる。そのような寄生キャパシタンスの影響を低減するために、第1誘電体層(7)は、ある程度の厚さを有していなければならない。

【0025】

提案された形状の1つの変形は、複数のセンサ部材の直接的上方領域においては厚さが最小となるように、かつ、電気伝導層(6)内の導体リードと接地面(8)との間においては厚さがより厚くなるように、誘電体層(7)の厚さを場所に応じて変更することによって行うことができる。

【0026】

基板がシリコンから形成されている場合には、逆バイアスされたダイオードを使用して測定キャパシタンスを代用したりあるいは補完したりすることができる。このダイオードに印加する電圧を変更することにより、ダイオードのキャパシタンスを変更することができ、それによって、センサの感度を、ダイオードに印加する予設定電圧値を使用して制御することができる。ダイオードは、可能であれば、前置増幅器の一部をなすバイポーラトランジスタ内のベースエミッタによって、構成することができる。

【0027】

第2金属層(8)は、接地面、すなわち、他の所定電位でもって導体リード等を、ノイズから、および、指や変調電極(10)からのAC信号との直接結合か

ら、遮蔽する面、を構成する。接地層（８）は、好ましくは、下に位置する第１金属層（６）上のすべての導体リードをカバーし得るようにして、形成されている。しかしながら、接地層（８）は、複数のセンサ部材（３）の上方においては、それぞれウィンドウ（開口部）を有していなければならない。接地面（８）のうちの、複数のセンサ部材（３）の上方に設けられた各開口部は、『レンズ』効果によって電界の整形に寄与し、したがって、指とセンサ部材との間の容量性結合に寄与する。センサ部材（３）と第２金属層内の開口部との構成は、幾何学的解像度を低減することなく信号強度を最大化させ得るように、最適化することができる。

【００２８】

提案された形状の１つの変形は、センサ部材（３）の上方において第１および第２金属層（６，８）を貫通するさらなるバイアスを形成することによって、得ることができる。これにより、センサ部材は、第２金属層（８）のところにまで移動することができる。また、遮蔽効果を向上させるために２つの接地層を使用することも想定することができる。第２誘電体層（９）が、接地面（８）と外側金属層（１０）との間において絶縁を行っているべきである。第２誘電体層（９）も、また、（ＥＳＤ保護のためのエレクトロニクスと一緒に）第２金属層と外側金属層（１０）との間の（静電放電に基づく）絶縁破壊を阻止するという重要な機能を有している。よって、第２誘電体層（９）は、この目的のための十分な誘電特性を有していなければならない。第２誘電体層（９）は、また、（上述したように）指とセンサ部材（３）との間の合計誘電体厚さ（絶縁）の一部を構成している。しかしながら、センサの幾何学的解像度を維持するためには、第２誘電体層（９）は、厚すぎないべきである。外側金属層（１０）がセンサ部材（３）の上方領域を被覆していないことにより、指は、第２誘電体層（９）に対して直接的にコンタクトすることとなる。よって、第２誘電体層（９）は、硬質であるべきであるとともに、摩耗や破損に耐え得るようまた外部環境からの化学的影響に耐え得るようさらに使用者の指や他の対象物からの影響に耐え得るよう、摩耗耐性を有しているべきである。

【００２９】

外部金属層（10）は、国際特許出願No. PCT/NO98/00182において言及されているように、良好な信号品質を確保するために図4のように変調周波数を指内へともたすことを目的としている場合には、最外層となる。したがって、外部金属層（10）は、電気伝導性であって指に対して良好な接続を行い得るものでなければならないとともに、測定時には指の一部が常にこの外部金属層に対してコンタクトしているような形状とされなければならない。同時に、外部金属層（10）は、硬質でなければならないとともに、摩耗や破損に耐え得るようまた外部環境からの化学的影響に耐え得るようさらに使用者の指からの影響に耐え得るよう、摩耗耐性を有していなければならない。クロムが、この目的のために可能な1つの金属である。

【0030】

変調電極（10）は、指定された駆動回路（図示せず）に対して接続することができ、この駆動回路は、印加する変調をさらに良好に制御し得るよう、センサに対して接続することができる。しかしながら、駆動回路は、好ましくは、取り付けられた電子回路（1）の一部を構成する発振器に対して接続される。変調電極（10）の導体リードは、他の導体（4）の場合と同様に、様々な層および基板（2）を貫通して延在させることができる。

【0031】

そのような変調電極は、例えば容量性活性化セルと組み合わせることができ、これにより、休止状態から活性使用状態にわたってのセンサの活性化（あるいは、起動）を制御するために使用することができる。これにより、センサの電力消費が最小化される。

【0032】

容量性活性化セルは、例えば、図4に示すように相互連結されていない2つのカム構造（電極）（17）からなる互いに噛み合ったフィンガーキャパシタンスとして形成することができる。例えば指といったような導通対象物が、この構造に近接したときには、両電極間のキャパシタンスが増大し、この変化は、例えば低電力消費で動作し得る発振回路といったようなものを使用することによって、検出することができる。また、活性化の原理は、電極と第2金属層（8）との間

におけるキャパシタンス変化の測定を、ベースとすることができる。

【0033】

センサが休止モードの時に、外側金属層（10）の一方の電極を接地することは、指や他の帯電対象物からのESD放電に対しての有効な保護をもたらす。この場合には、放電は、直接的に接地へと流れることとなる。一方の電極が接地に接続されていない場合であっても、外側金属層（10）内の構造は、この外側金属層と接地との間に配置された例えばツェナーダイオードといったようなESD保護回路に接続されていれば、ESD保護という重要な機能を有することができる。

【0034】

そのような保護回路は、基板の背面上において個別的に取り付けることができ、あるいは、センサチップの外部に取り付けることもできる。

【0035】

変調周波数を指に対して結合するための代替可能な方法は、結合が容量性となるように、薄い誘電性フィルムによって電気伝導性材料を被覆することである。このことは、結合が、すべての人に対して一様となるという点において、また、指の湿気に対する依存性が少なくなるという点において、有利である。

【0036】

指に対しての結合のための第3の変形例は、変調リングと活性化セルとを、センサ構造の外部に配置することである。このことは、外側金属層を不要なものとする。

【0037】

測定回路上の増幅器と他の信号処理回路の特性が、素子ごとに変更可能であることのために、各センサ部材からの応答を校正できることは、極めて重要である。これは、センサ部材がなすラインの近傍にあるいはセンサ部材に接続されている導体の近傍に、第2金属層（8）の一部として横断電極（14）を設けることによって、得ることができる。電極上に変調信号を供給することによって、指や導体対象物が近くに存在していなくても、センサ部材を容量的に励起することができる。増幅器および信号処理回路から得られた信号に基づいて、各センサ部材

からの応答を均等化することができる。測定時にこの電極上に反転AC信号を供給することにより、誘電体層（7，9）からの一定の容量的寄与を測定から排除するという差分測定原理を実現することができる。

【0038】

図2は、代替可能な実施形態を示しており、この実施形態においては、基板（2）内の開口（3）が、センサ部材を被覆する第1誘電体層（7）を不要とするように選択されたセンサ部材位置に、配置される。このことは、構成を単純化し、誘電体層をより薄いものとすることができる。しかしながら、センサ部材どうしと同じ離間距離でもってバイアスを形成することは、必要である。このことは、例えば、バイアス穴直径が、例えば50 μm とすることができるような2つのセンサ部材間の間隔よりも実質的に小さくしなければならないことを必要とする。

【0039】

センサの製造は、例えば、以下の方法を使用して行うことができる。

【0040】

1. 『厚膜技術』をベースとした方法。

—セラミック基板（例えば、アルミナ基板）を貫通する複数の開口を、レーザーによって穴開けする。

—複数の開口を通して金属をプリントすることによりあるいはメッキすることにより、電気伝導性バイアス穴を形成する。

—例えばシルクプリントといったような標準的厚膜技術あるいは『プリントおよび腐食』プロセスを使用することによって、センサの前面上の導体層および誘電体層をパターン形成する。ここで、導体層は、例えば、金や、銀パラジウムや、銅、から形成し、誘電体層は、例えばガラスとセラミックとのブレンドから形成する。

—対応するプロセスを使用することによって、基板の他の面上に、必要な導体リードや接続ポイントを形成する。

—例えばフリップチップやワイヤボンディングといったような標準的方法を使用して、電子回路を取り付ける。

—センサアレイ内において（現在利用可能な技術を使用した場合に）可能な幾

何学的解像度は、およそ30～50 μm である。

【0041】

2. 低温同時焼成セラミックをベースとした方法。

－上記と同様であるものの、基板を貫通する複数の導体リードを、セラミック性の複数の層と複数のリードとを焼成前に積層するという順次的構築によって、形成する。この技術においては、基板の下方のキャビティ内においてシリコンチップを積層することができるという『3次元』構造を形成することができる。

【0042】

3. 『薄膜技術』をベースとした方法。

－セラミック基板やガラス基板やシリコン基板を貫通する複数の開口を、レーザーやセラミック穿孔や腐食プロセスによって形成する。

－複数の開口を通して金属または他の導電材料を、プリントあるいはメッキあるいは成膜することにより、電気伝導性バイアス穴を形成する。

－基板上に薄い金属層（例えばAlまたは金）を成膜することによって、導電層を形成し、光リソグラフィープロセスを行い、不要な金属部分を腐食除去する。

－基板上に誘電体（ポリマーまたは無機物）を紡ぎまたは成膜し、その後、標準的技術を使用することによってパターン形成する。

－センサアレイ内において（現在利用可能な技術を使用した場合に）可能な幾何学的解像度は、およそ20 μm である。

【0043】

4. プリント回路基板をベースとした方法。

－いわゆる順次的構築も含めた標準的技術を使用することによって、メッキ付き穴を有したプリント回路基板を形成する。

－標準的回路基板腐食技術（金属は、銅とされる）を使用することによって、基板の両面上に、第1導体層を形成する。

－いわゆる『ポリマー厚膜プロセス』を使用することによって、他の誘電体層および導体層を、プリントする。センサアレイ内において（現在利用可能な技術を使用した場合に）可能な幾何学的解像度は、およそ50～100 μm である。

【0044】

5. 上記1～4と同様ではあるものの、導体は、個別バイアス穴として基板を貫通するのではなく、図5に示すように基板内の1つまたは複数のスロット（16）を貫通する表面からの細い鉛直方向スレッドとして基板を貫通する。この細いスレッド（15）は、いわゆるスタッドバンプとして形成することができ、これは、実質的には、所定高さのところにおいてカットされるワイヤボンディングスレッドとされる。貫通スロット（16）は、電気絶縁性キャスティング材料（例えば、エポキシ）によって後に充填することができ、その後、基板表面と面一なものとすることができる。この構造は、ASIC上のコンタクトパターンとセンサレイの形状との間の対応関係を必要とする。

【0045】

また、細い鉛直方向スレッド（15）（例えば、スタッドバンプの形態とされている）を、構造の上面上のセンサ部材に対して固定することを想定することができ、また、その後、スレッドの周囲にキャスティング材料を配置して、スレッド端を、キャスティング材料から突出させることを想定することができる。キャスティング材料の上エッジのところにおいてスレッドをカットすることができ、これにより、平面状構造を得ることができる。この場合、指とスレッドとの間のコンタクトは、オーミックとなる。このコンタクトは、キャスティング材料およびスレッドが摩耗した場合であっても変化しないという大きな利点を有している。容量性という測定原理を維持するために、容量性結合を、構造内の他の場所とすることが想定される。例えば、基板上面上の2つの金属層がなす構造間における容量性結合を使用することによって、構造内の他の場所とすることが想定される。

【0046】

本発明は、固体指紋センサの利点を独自の方式でもたらし得るようなデバイスに関するものである。対応技術は、また、例えばマウスナビゲーションに関連した目的といったような、表面上にわたっての指の移動の認識を必要とする他の応用において使用することができる。

【0047】

そのような応用においては、センサアレイは、例えば、センサ表面上において様々な向きで配置された複数のサブアレイとして構成することができる。各サブアレイは、2つのライン形状センサアレイを構成することができ、また、図6に示すようにして配置された一群をなすセンサ部材を構成することもできる。センサ対がなす様々な組合せどうしの間の信号を相関づけ、どのセンサ対が、関連する時間差でもって相関信号を有しているかを決定することによって、指の速度だけでなく、センサ上にわたっての指の移動方向をも、決定することができる。

【0048】

指の表面全体についての完全な像が要求された場合には、フラットな指紋センサでは、指の側面を測定することができない、という問題点が存在する。これに対しては、センサ面およびセンサアレイを、U字形とすることができ、これにより、指の表面を少なくとも部分的に包むことができる。

【0049】

上述した電気伝導層は、金属層として説明されたけれども、代替可能な電気伝導材料を使用することができることは、明らかである。製造方法に適合している場合にはまた他の特性に適合している場合には、例えばポリシリコンを使用することができる。

【図面の簡単な説明】

【図1】 本発明の好ましい実施形態を（概略的に）示す断面図である。

【図2】 本発明の単純化された代替可能な実施形態を（概略的に）示す断面図である。

【図3】 本発明の好ましい実施形態によるセンサ配置場所の分布を示す図である。

【図4】 本発明によるセンサチップ上に配置される変調電極と活性化セルとの組合せを示す図である。

【図5】 図2に示す代替可能な実施形態の変形例を示す断面図である。

【図6】 マウスナビゲーションという応用において使用された場合におけるセンサアレイの可能な実施形態を示す図である。

【符号の説明】

- 1 シリコンチップ（電気チップ）
- 2 セラミック基板（基板）
- 3 像形成用センサ部材（センサ部材）
- 4 バイアス
- 6 第1金属層（第1電気伝導層）
- 7 第1誘電体層
- 8 第2電気伝導層（第2電気伝導性接地層）
- 9 第2誘電体層
- 10 外側金属層（外側電気伝導層）
- 11 センサアレイ

【図 1】

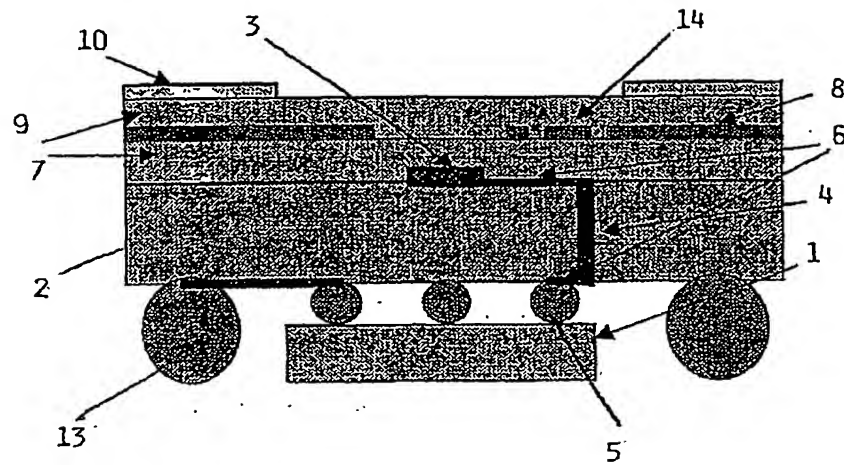
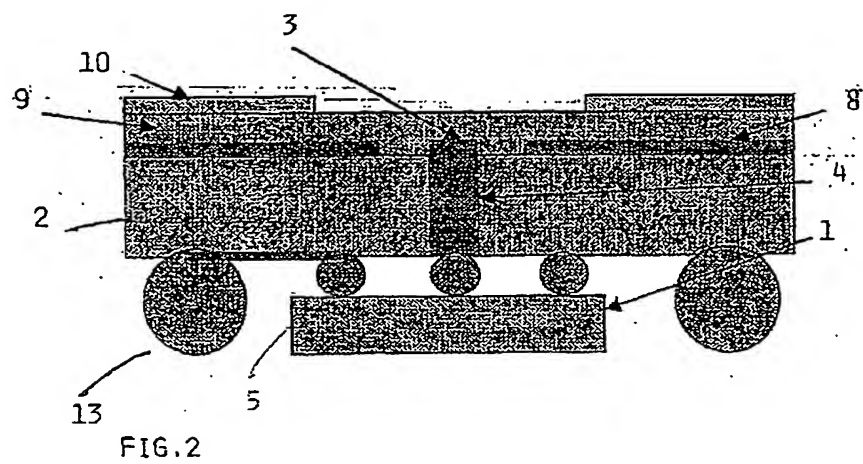
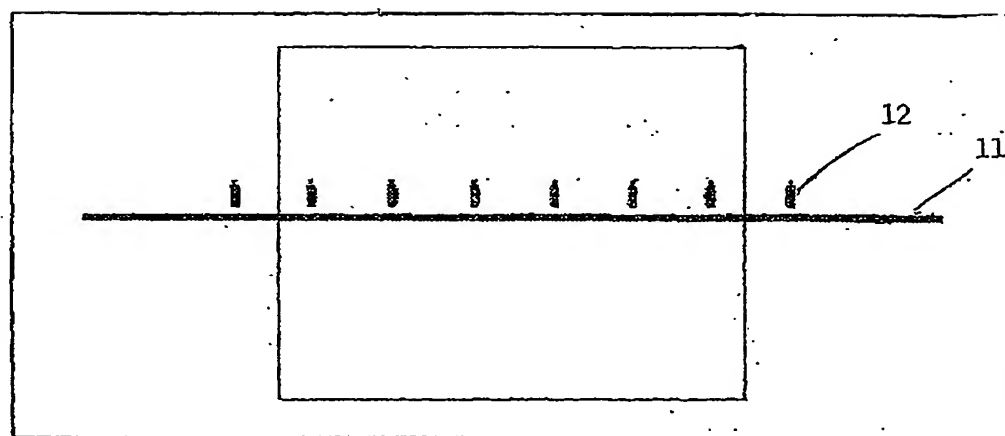


FIG. 1

【図2】



【図3】



【図4】

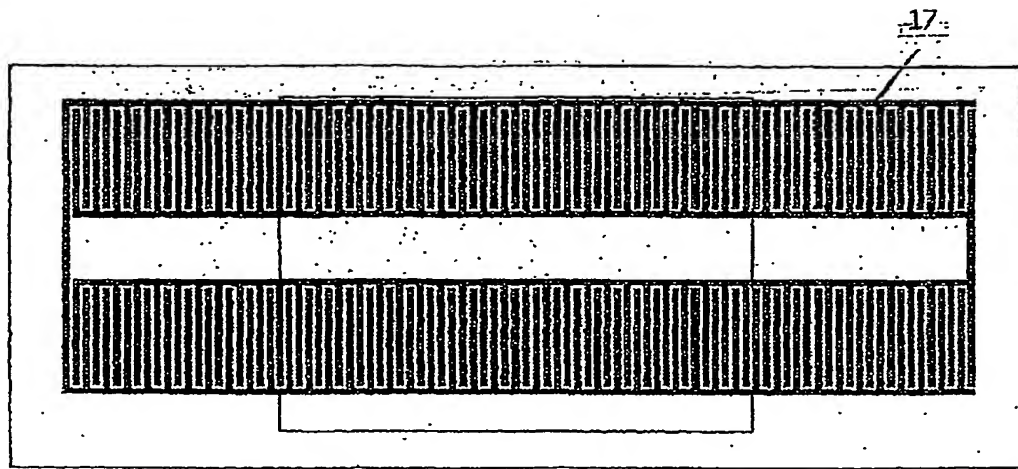


FIG. 4

【図5】

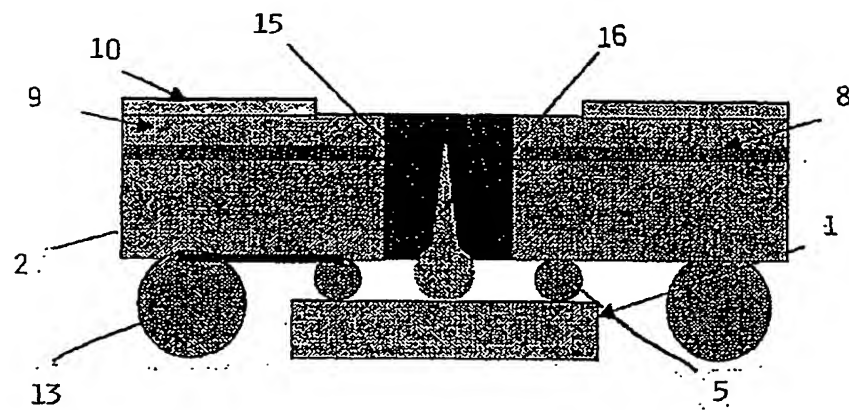


FIG. 5

【図6】

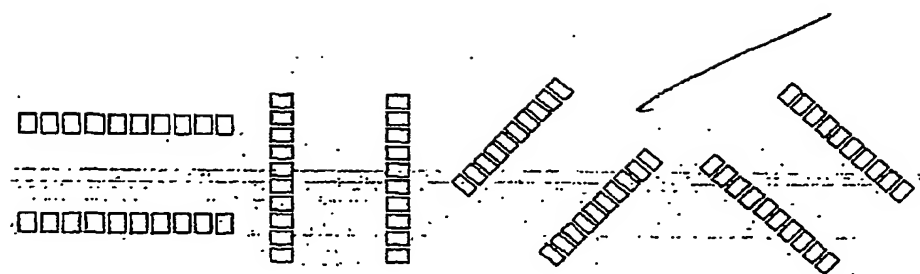


FIG.6

【国際調査報告】

1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/NO 01/00238

A. CLASSIFICATION OF SUBJECT MATTER		
IPC7: H01L 23/48, A61B 5/117, G06K 9/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC7: A61B, G06K, H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6069970 A (MATTEW M. SALATINO ET AL), 30 May 2000 (30.05.00), see whole document --	1-16
A	US 5963679 A (DALE R. SETLAK), 5 October 1999 (05.10.99), see whole document --	1-16
A	US 5862248 A (MATTEW M. SALATINO ET AL), 19 January 1999 (19.01.99), see whole document -- -----	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
21 December 2001		09-01-2002
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Stig Edhborg/MN Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

(72) 発明者 ビョルン・エリック・セーベルグ
ノルウェー・0768・オスロー・ホフセッタ
ーヴェイエ・50B

Fターム(参考) 2F063 AA41 BA29 BD05 BD11 CA10
CA34 DA02 DC08 HA04
2G060 AA15 AD06 AE40 AF06 AF10
AG08 JA10 KA09
4C038 FF01 FF05 FG00
5B047 AA25 BB10 BC01 BC16 DA01